

ANALIZA ȘI SINTEZA SISTEMELOR NUMERICE

- sistemele electronice sunt:

-**analogice** (prelucrează semnale cu variație **continuă** în timp):

$$s(t) = A \sin \omega t, \quad t \in (-\infty, +\infty)$$

-**numerice (digitale)** (prelucrează semnale cu variație discontinuă în timp):

$$u(t) = \begin{cases} A & \text{pentru } t \in [t_1, t_2] \\ 0 & \text{pentru } t \notin [t_1, t_2] \end{cases}$$

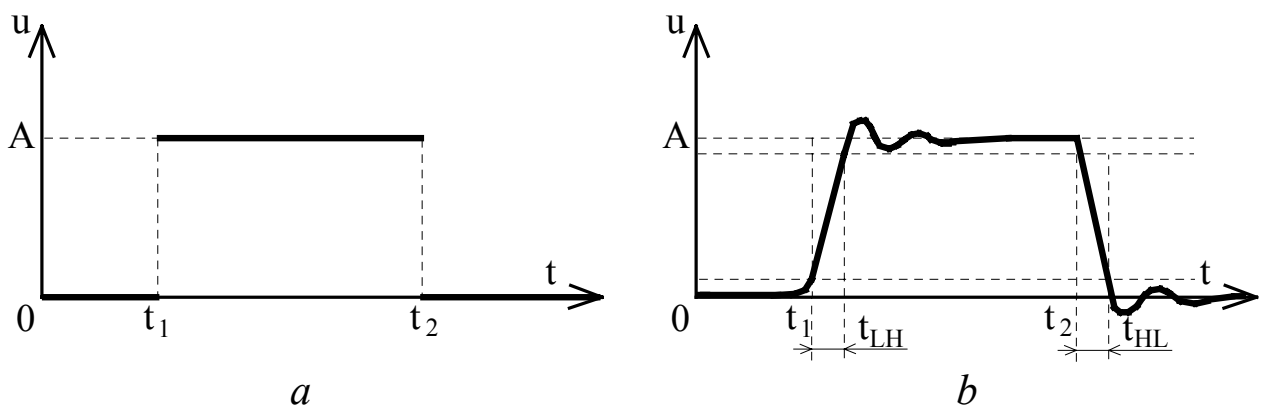


Fig. 1.1 *Un semnal numeric real și modelul său*

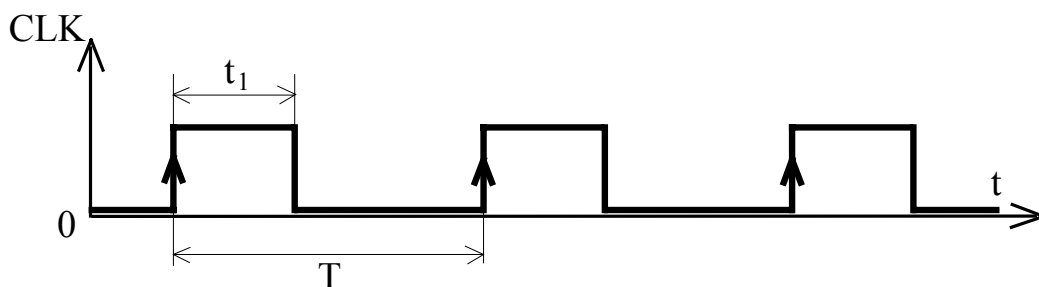


Fig. 1.2 *Semnalul de ceas marchează discontinuitatea în timp*

- semnalul are 2 mărimi semnificative: **zero** și **A**, care corespund practic unor nivele de tensiune cu anumite limite de variație
- se asociază nivelului **zero** numărul binar **0**(fals) și nivelului **A** numărul binar **1**(adevărat)
- circuitele electronice care prelucrează aceste semnale se numesc **circuite logice** sau **circuite numerice**(digitale); fiecare ieșire furnizează una din cele două valori logice 0 sau 1, deci o informație de **un bit**(Binary Digit).
- formalismul matematic care fundamentează logica binară este **Algebra booleană**
- implementarea dependentă de tehnologie

Clasificarea circuitelor integrate după numărul de tranzistoare pe capsulă

Denumire	Notăție	Anul apariției	Tehnologie	Dimensiune tranzistor	Număr de tranzistoare	Exemple
Small Scale Integration	SSI	1960	bipolară	10 μm	≤ 50	porți logice
Medium Scale Integration	MSI	1965	bipolară MOS	8 μm	≤ 500	MUX, DMUX, registre
Large Scale Integration	LSI	1970	bipolară MOS	5 μm	≤ 10000	memorii, μP Z80
Very Large Scale Integration	VLSI	1980	bipolară MOS	1,5 - 3 μm	≤ 1000000	memorii, $\mu\text{control}$, μP 486
Ultra Large Scale Integration	ULSI	1990	bipolară MOS	0,35 - 1 μm	> 1000000	calculatoarele transputere, Pentium II

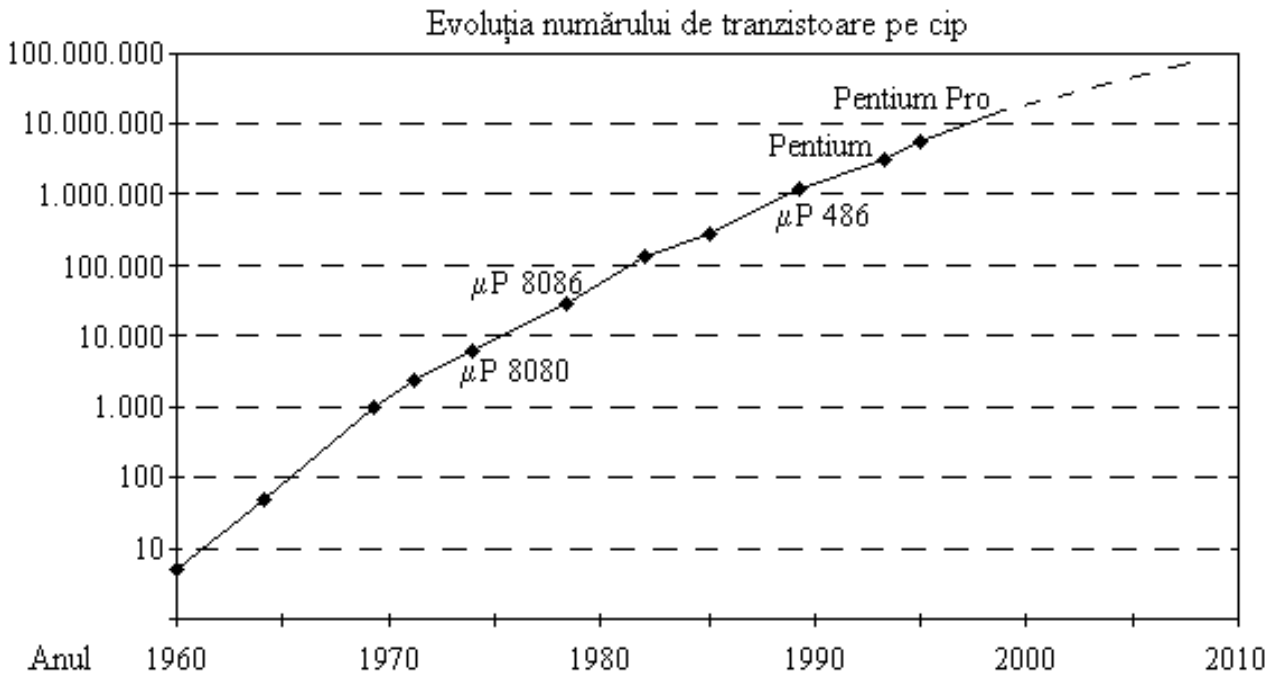


Fig. 1.3 Numărul de tranzistoare pe cip se dublează la aproximativ 18 luni

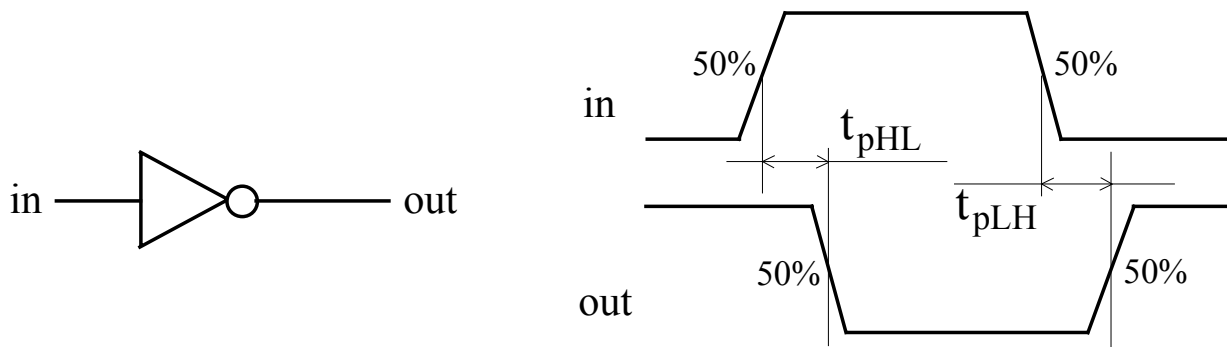


Fig. 1.4 Definirea timpilor de propagare t_{pLH} și t_{pHL}

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

t_p - timp mediu de propagare pe poartă

Clasificarea circuitelor integrate după tehnologia de realizare

Tehnologia	Familia logică	Notație	Timpi de propagare	Consum pe poartă logică	Faza de dezvoltare
bipolară	Diode Transistor Logic	DTL	30 ns	9 mW	desuet
	Resistor Transistor Logic	RTL	12 ns	20 mW	desuet
	Transistor Transistor Logic	TTL	9 ns	10 mW	declin
	High Speed TTL	HTTL	6 ns	16 mW	declin
	Low Power TTL	LTTL	33 ns	1 mW	declin
	Schottky TTL	STTL	3 ns	20 mW	declin
	LowPower Schottky TTL	LSTTL	10 ns	2 mW	declin
	Advanced Schottky TTL	ASTTL	2 ns	20 mW	declin
	Advanced LSTTL	ALS	4 ns	1 mW	maturitate
	Fast TTL	FTTL	3 ns	5 mW	maturitate
	Emitter Coupled Logic	ECL	2 ns	25 mW	declin
Integrated Injection Logic	I ² L	10 ns	1 mW	declin	
MOS	N channel MOS	NMOS	30 ns	1 mW	desuet
	P channel MOS	PMOS	250 ns	1 mW	desuet
	CMOS	CD4000	100 ns	1 μW	declin
	High Speed CMOS	HC/T	8 ns	10 μW	maturitate
	Advanced CMOS	AC/T	3 ns	50 μW	creștere
	Low Voltage CMOS	LVC	4 ns	10 μW	acceptare
	Advanced LVC	ALVC	2 ns	20 μW	acceptare
hibridă	Low Voltage Technology	LVT	2 ns	0,08/2 mW	creștere
	Advanced BICMOS Tech	ABT	1,5 ns	0,1/20 mW	creștere
	Adv.LowPower BICMOS	ALB	1 ns	0,3/2 mW	acceptare

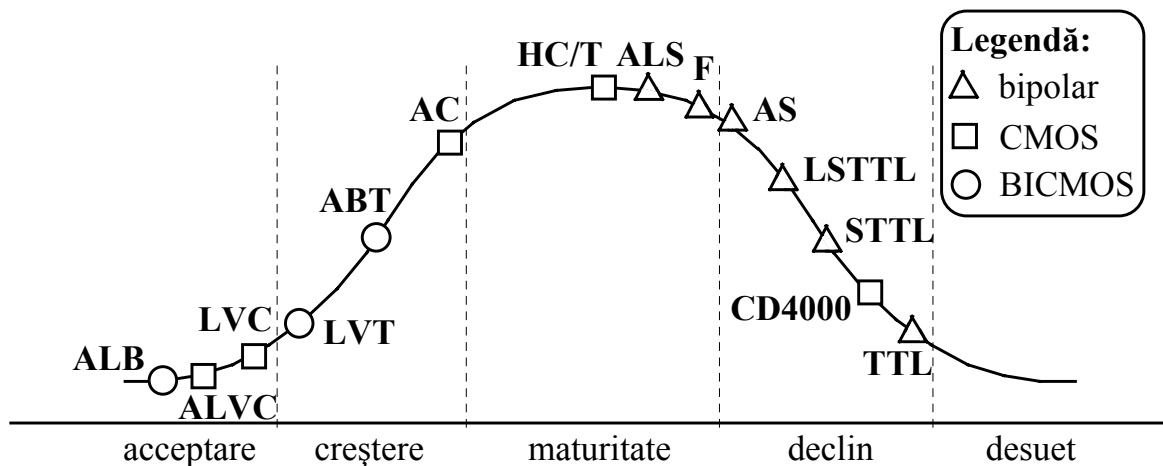


Fig. 1.5 *Ciclul de viață a principalelor familii logice*

Clasificarea circuitelor integrate după gradul de specificitate

Denumire		Comple- xitate	Utilizare resurse	Eficiență economică	Durata realizări i	Exemple
circuite standard		SSI - ULSI	≈ 100 %	relativă	variabil ă	porți, registre, memorii, μP
circuite semi - dedicat e	logica programabilă	SSI - ULSI	1 - 100 %	foarte mare	ore, zile	PAL, GAL, FPGA
	arii de porți	MSI, LSI	40 - 60 %	mare pt. serie mare	săpt., luni	MONOCIP
	celule standard	LSI - ULSI	≈ 100 %	mare pt. serie mare	luni	ZODIAC
circuite dedicate		LSI - ULSI	≈ 100 %	mare pt. serie mare	> 1 an	ceasuri, calculatoare

• sistemele numerice sunt:

- **combinaționale** (valorile ieșirilor sunt date numai de valorile logice aplicate pe intrări)

- **secvențiale** (valorile ieșirilor depind atât de intrări, cât și de starea internă a sistemului; sunt circuite cu **memorie**)

Clasificare pe baza unui principiu de creștere structurală

- un sistem de ordin $n + 1$, notat prin S_{n+1} , poate fi generat prin interconectarea unor sisteme, dintre care cel puțin unul este de ordin n , notat prin S_n , într-o configurație cu o buclă de reacție
- sistemul de ordin zero, notat prin S_0 , este reprezentat de un circuit logic combinațional elementar cu o singură ieșire (poartă logică)

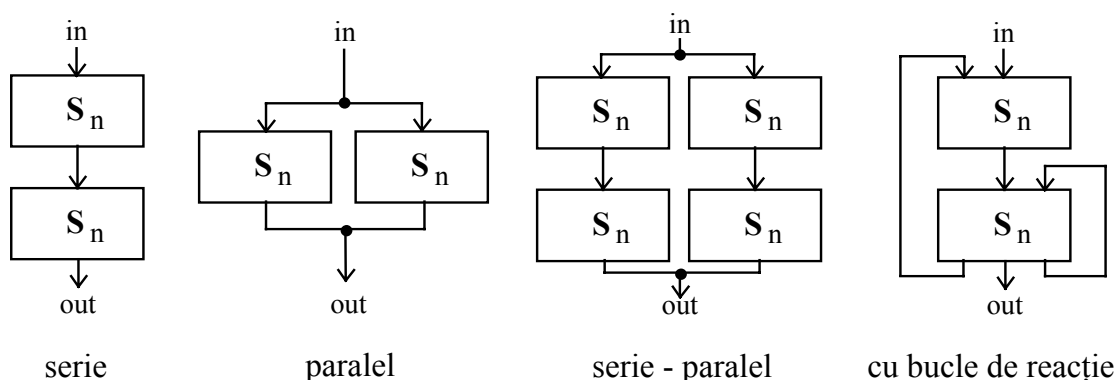


Fig. 1.6 Diferite cuplaje posibile pentru sistemele numerice

Sisteme numerice	Ordinul sistemului	Exemple	Tipuri de cuplaje
combinaționale	0	porți logice	elementar
		multiplexoare	serie
		demultiplexoare	paralel
		memorie ROM, PLA	serie - paralel
de memorare	1	latch cu ceas	elementar
		registre serie	serie
		latch adresabil	paralel
		memoria RAM	serie - paralel
automate cu stări finite	2	bistabil JK, numărător	elementar
		unități PIPE LINE	serie
		RALU, CROM	paralel
		structuri PIPE LINE	serie - paralel
microprogramabile	3	procesorul	elementar
		rețele de procesare	serie, paralel și mixt
programabile	4	calculatorul	elementar
		rețele de calculatoare	serie, paralel și mixt
rețele complexe de procesare	5	multiprocesor INTERNET	elementar serie, paralel și mixt