

Capitolul 3

Structuri elementare integrate

3.1. Structuri bipolare

- familia logică TTL (Transistor Transistor Logic) conține 4 grupe de bază (standard TTL, HTTL - high speed, LTTL - low power, STTL - cu diode Schottky), dar și combinații ale lor (LSTTL - low power Schottky) sau grupe avansate tehnologic (ALS - Advanced LSTTL, F - Fast TTL).
- poarta TTL standard:

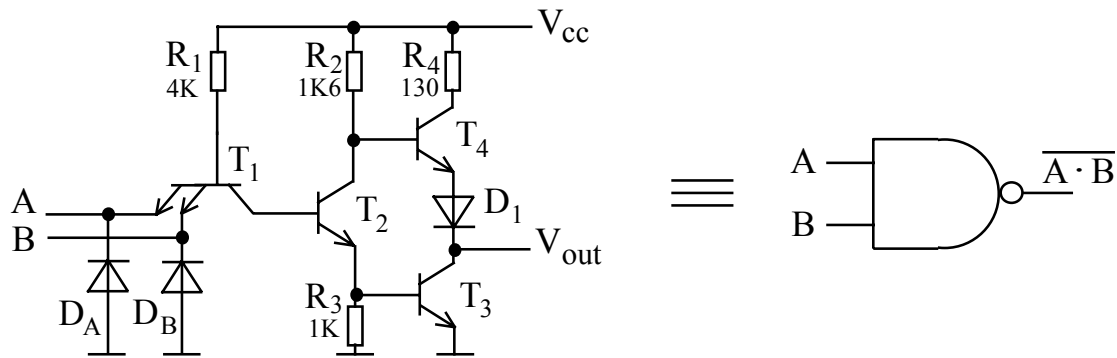


Fig. 3.1 Structura porții ȘI-NU în tehnologie TTL standard

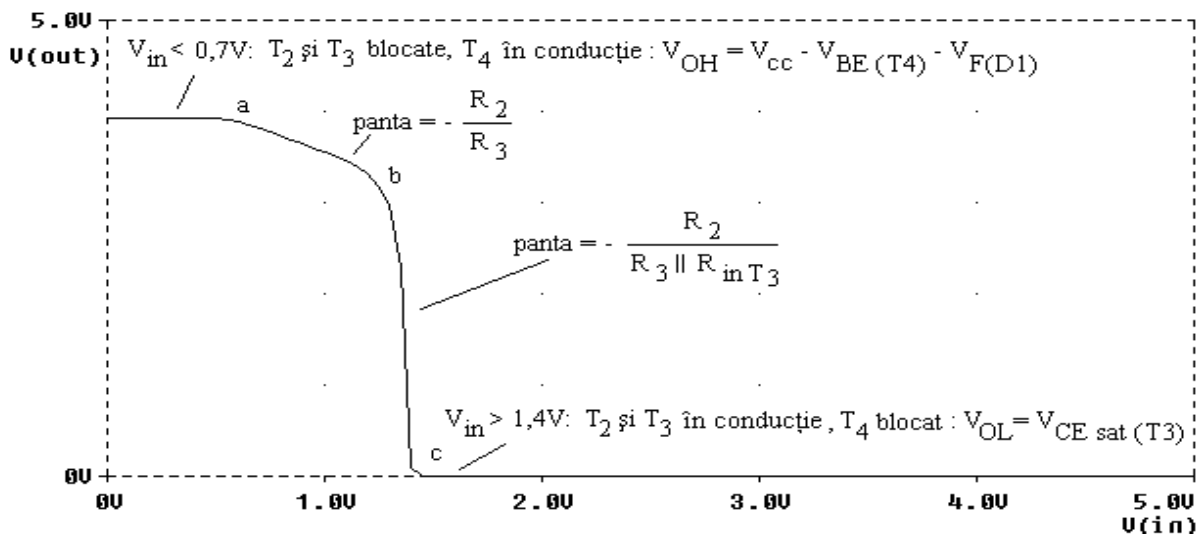


Fig. 3.2 Caracteristica de transfer a inversorului TTL standard

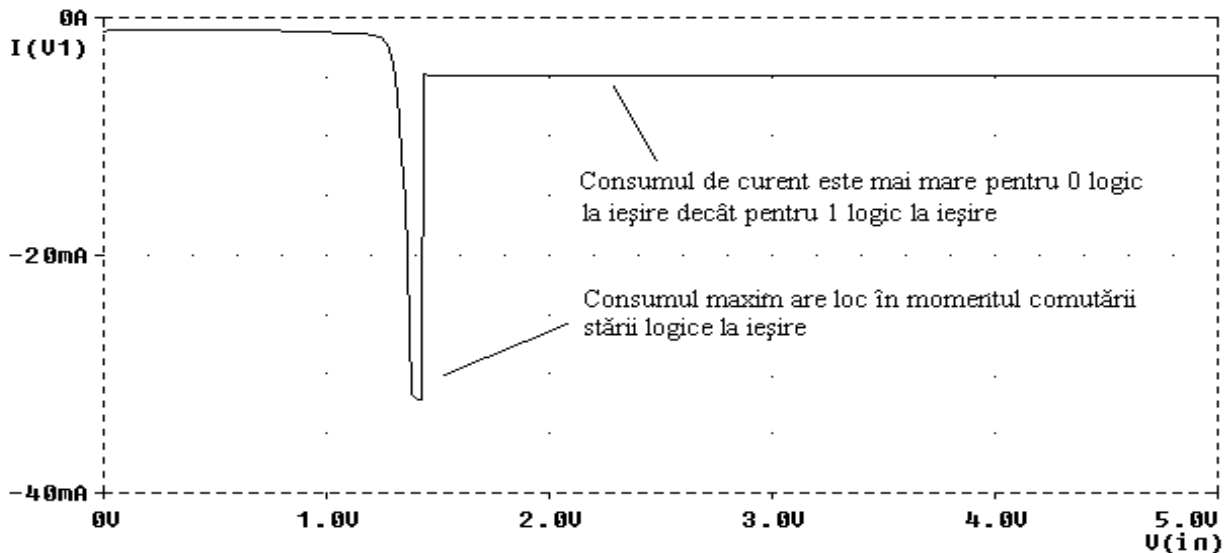


Fig. 3.3 Consumul de curent de la sursa de alimentare

Nivele logice de ieșire și intrare garantate prin standard pentru un "fan-out" de 10 sarcini ($N = 10$):

- V_{IL} , nivelul de tensiune necesar pentru a avea 0 logic la intrare. Se impune ca $V_{IL} \leq V_{ILMAX} = 0,8 \text{ V}$.
- V_{IH} , nivelul de tensiune necesar pentru a avea 1 logic la intrare. Se impune ca $V_{IH} \geq V_{IHMIN} = 2 \text{ V}$.
- V_{OL} , nivelul de tensiune de la ieșire în starea 0 logic. Se impune ca $V_{OL} \leq V_{OLMAX} = 0,4 \text{ V}$.
- V_{OH} , nivelul de tensiune de la ieșire în starea 1 logic. Se impune ca $V_{OH} \geq V_{OHMIN} = 2,4 \text{ V}$.

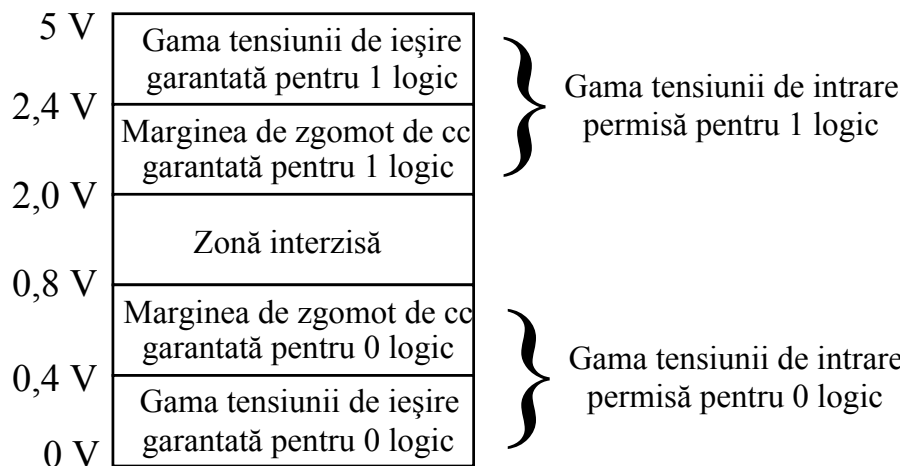


Fig. 3.4 Definirea marginii de zgomot

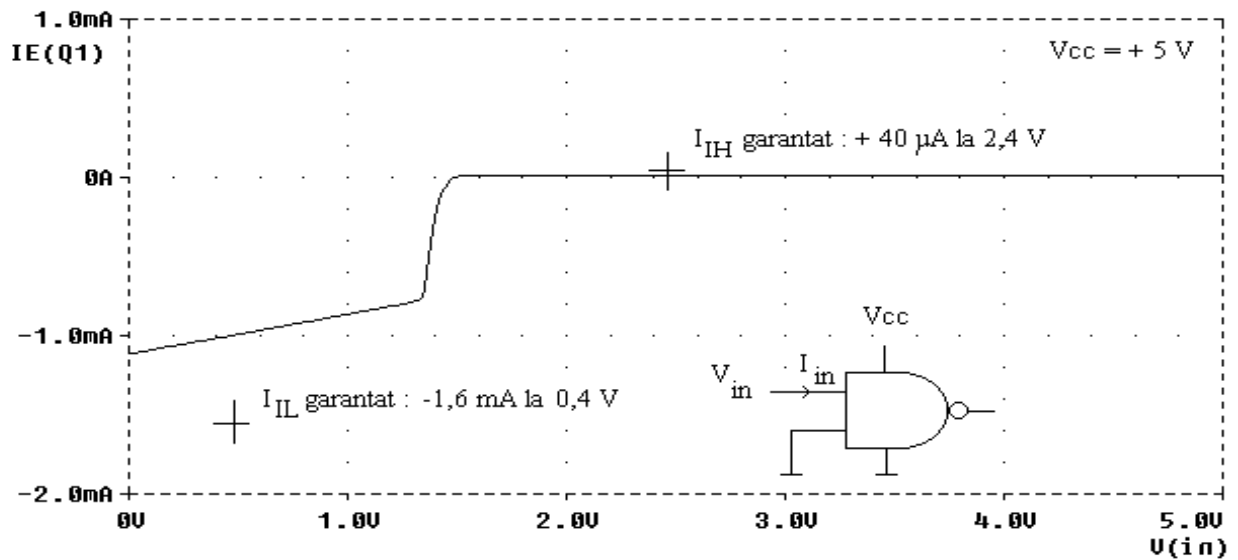


Fig. 3.5 Caracteristica de intrare a porții TTL standard

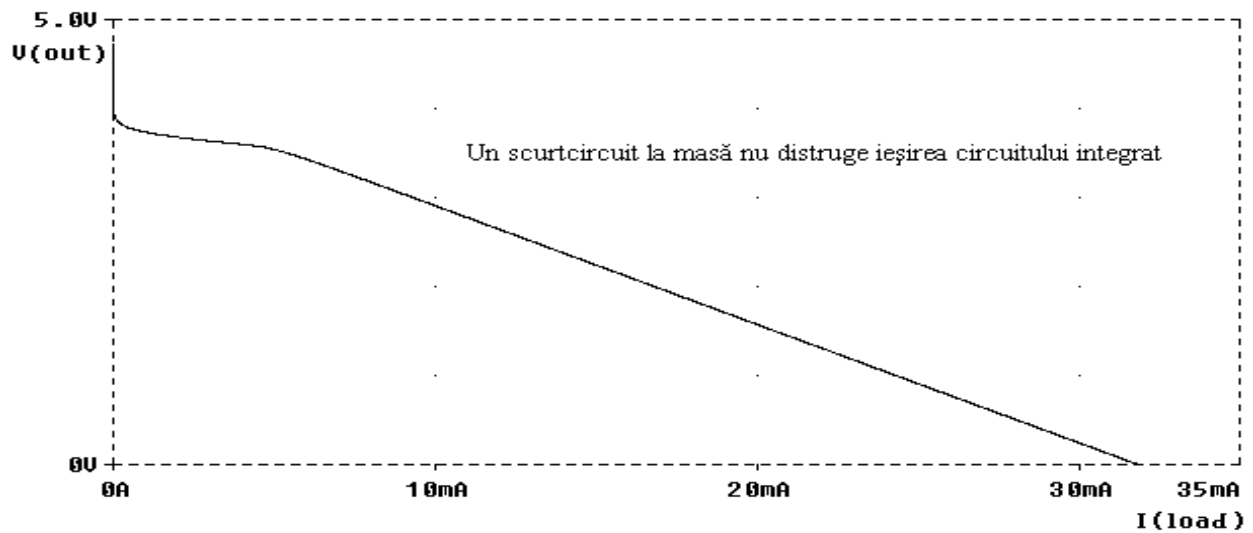


Fig. 3.6 Caracteristica de ieșire pentru 1 logic

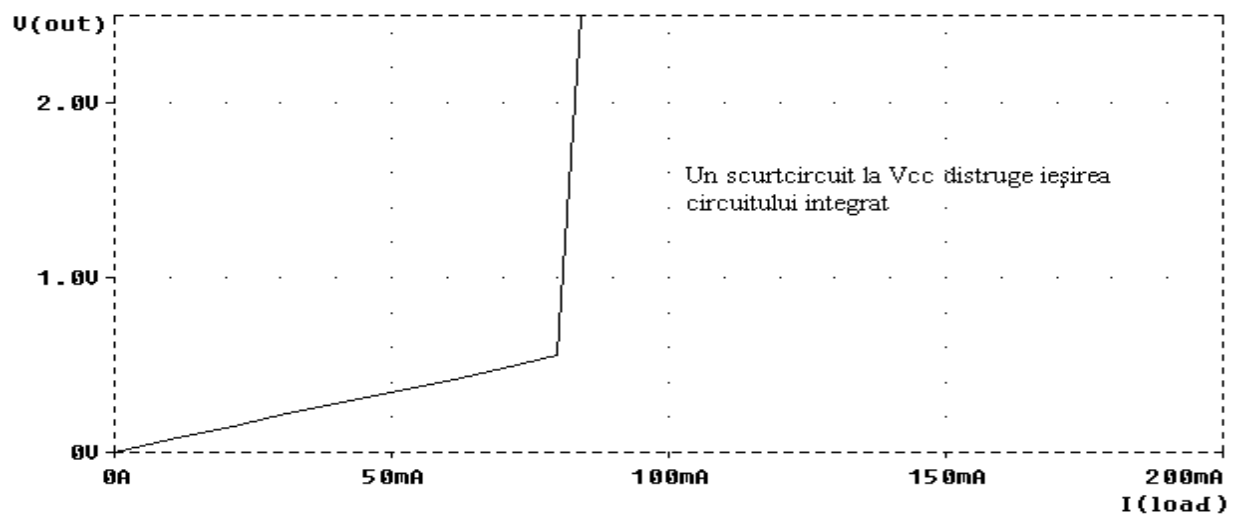


Fig. 3.7 Caracteristica de ieșire pentru 0 logic

Timpul de propagare este de circa 10 ns pentru "fan-out" de 10 și o sarcină capacitivă de 15 pF; puterea disipată este de circa 10 mW la frecvențe joase și crește de 2-3 ori la frecvențe mari.

O intrare lăsată în aer este interpretată ca 1 logic. Comentarii.
Alte grupe ale familiei logice TTL. Compatibilitate.

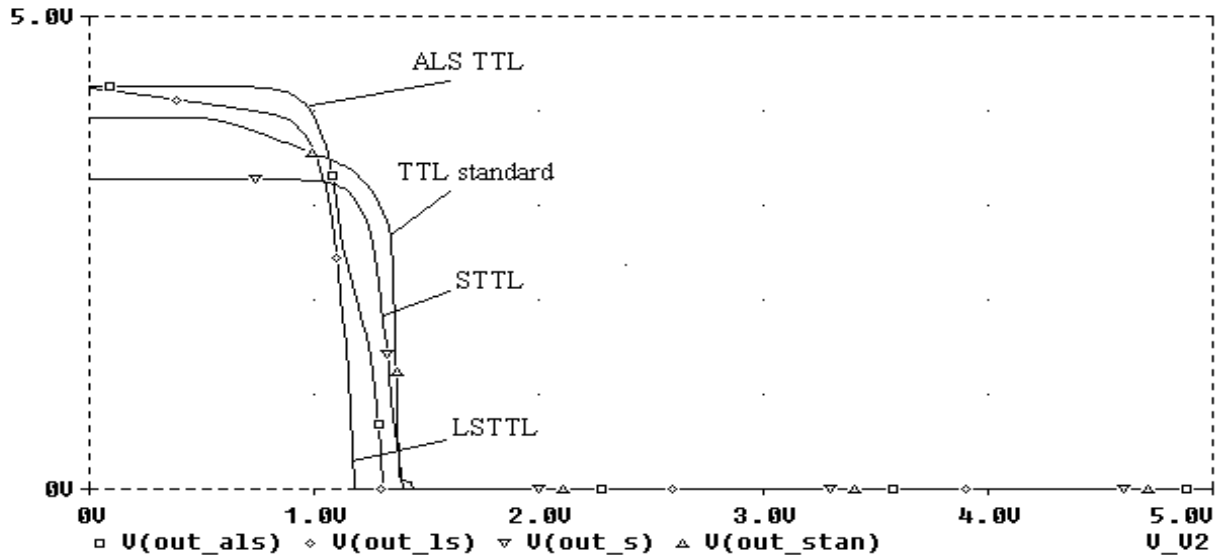


Fig. 3.8 *Comparație între diverse caracteristici de transfer*

• **poarta TTL cu colector în gol:**

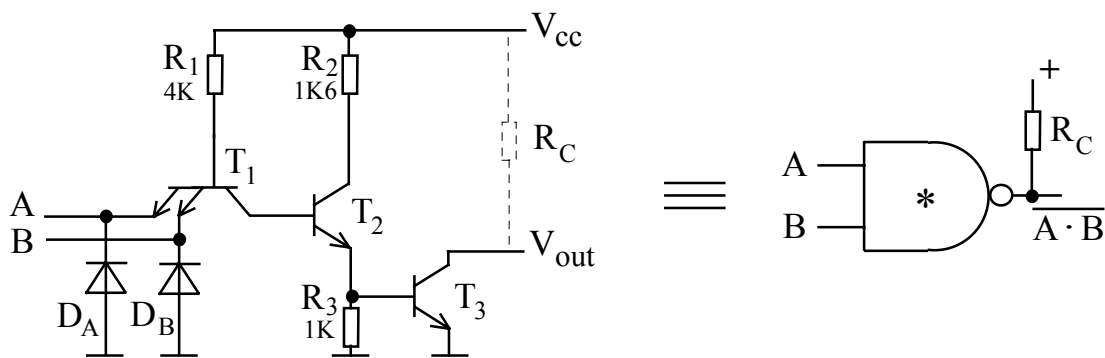


Fig. 3.9 *Structura porții ȘI-NU cu colector în gol*

- permite realizarea funcției binare "ȘI cablat" prin conectarea împreună a ieșirilor porților logice cu colector în gol
- permite modificarea nivelului semnalului logic de la ieșire
- dezavantaj: rezistența de ieșire este R_C

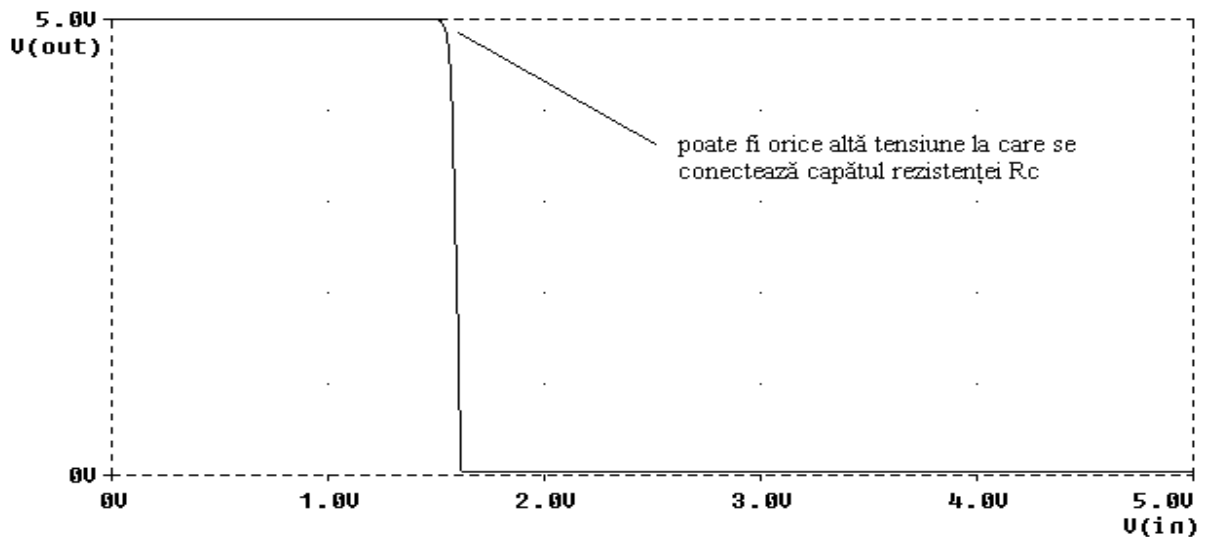


Fig. 3.10 Caracteristica de transfer a porții cu colector în gol

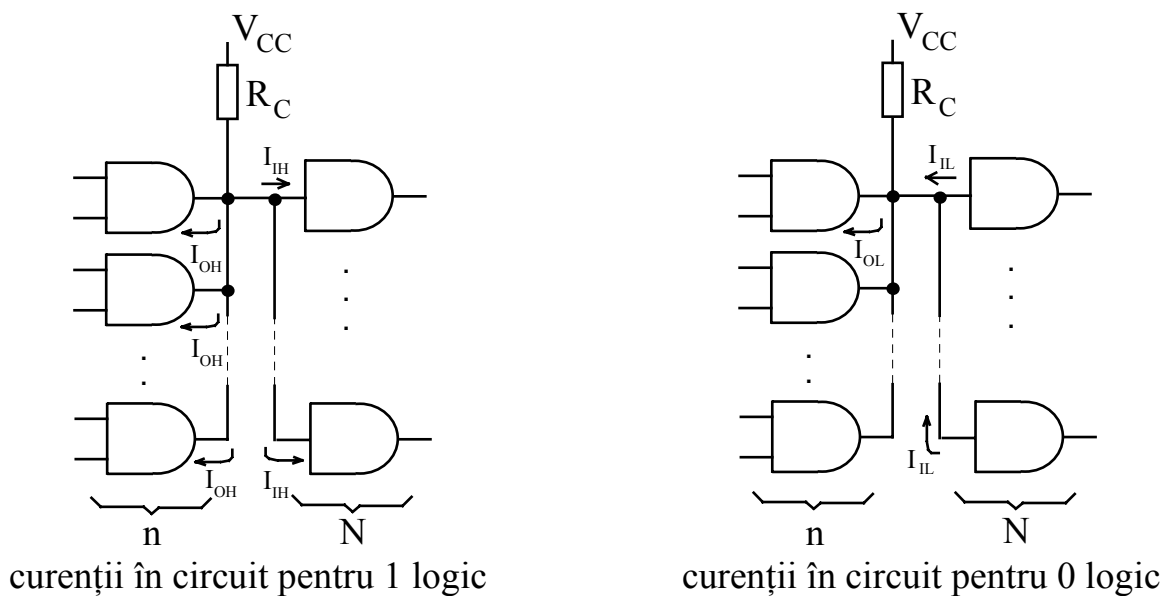


Fig. 3.11 Calculul rezistenței R_C

pentru 1 logic:

$$V_{OH} = V_{CC} - (n \cdot I_{OH} + N \cdot I_{iH}) \cdot R_C \geq V_{OH \min}$$

$$R_{C \max} = \frac{V_{CC} - V_{OH \min}}{n \cdot I_{OH \max} + N \cdot I_{iH \max}}$$

pentru 0 logic:

$$V_{OL} = V_{CC} - (I_{OL} - N \cdot I_{iL}) \cdot R_C \leq V_{OL \max}$$

$$R_{C \min} = \frac{V_{CC} - V_{OL \max}}{I_{OL \max} - N \cdot I_{iL \max}}$$

• **inversorul cu trei stări:**

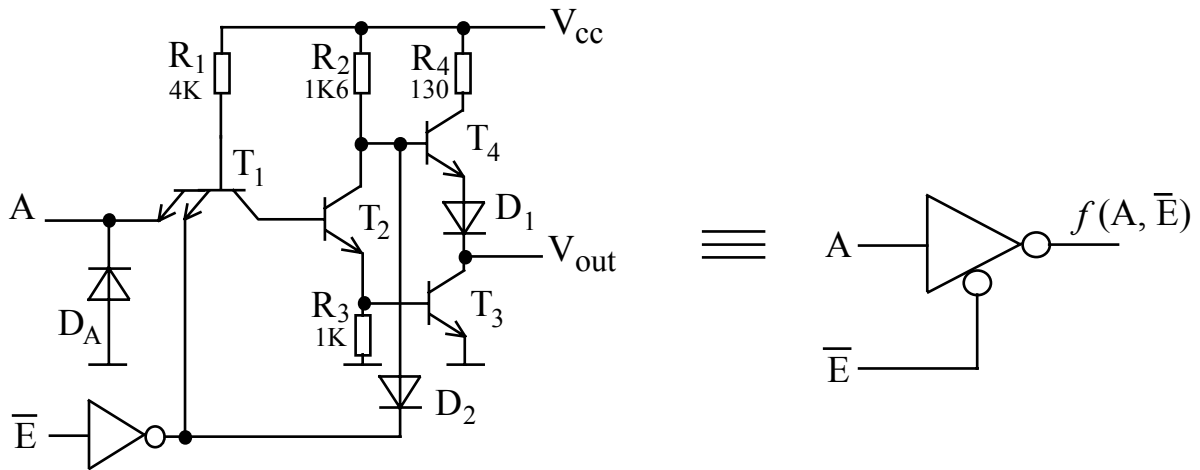


Fig. 3.12 Structura inversorului TTL cu trei stări

Dacă $\bar{E} = 0$, D_2 blocată și structura este un inversor: $f = \bar{A}$.

Dacă $\bar{E} = 1$, D_2 este în conducție și blochează pe T_4 , T_2 și T_3 blocate, iar ieșirea este izolată față de V_{CC} și masă, adică este în starea de întăită impedanță (High Z).

• **inversorul cu histerezis:**

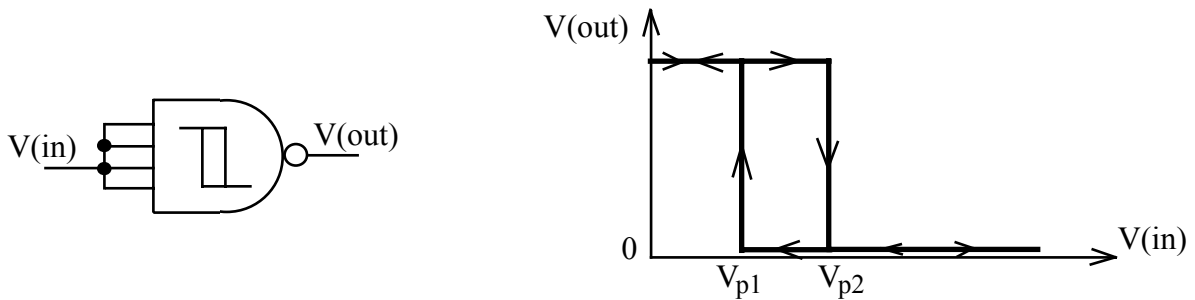


Fig. 3.13 Caracteristica de transfer cu histerezis

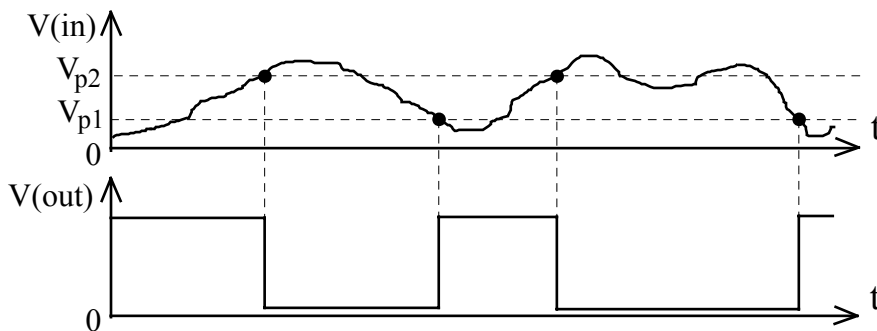


Fig. 3.14 Comutarea inversorului cu histerezis

3.2. Structuri unipolare

- familia logică MOS:

- avantajele tehnologiei MOS
- comutația tranzistorului MOS cu canal indus de tip n :

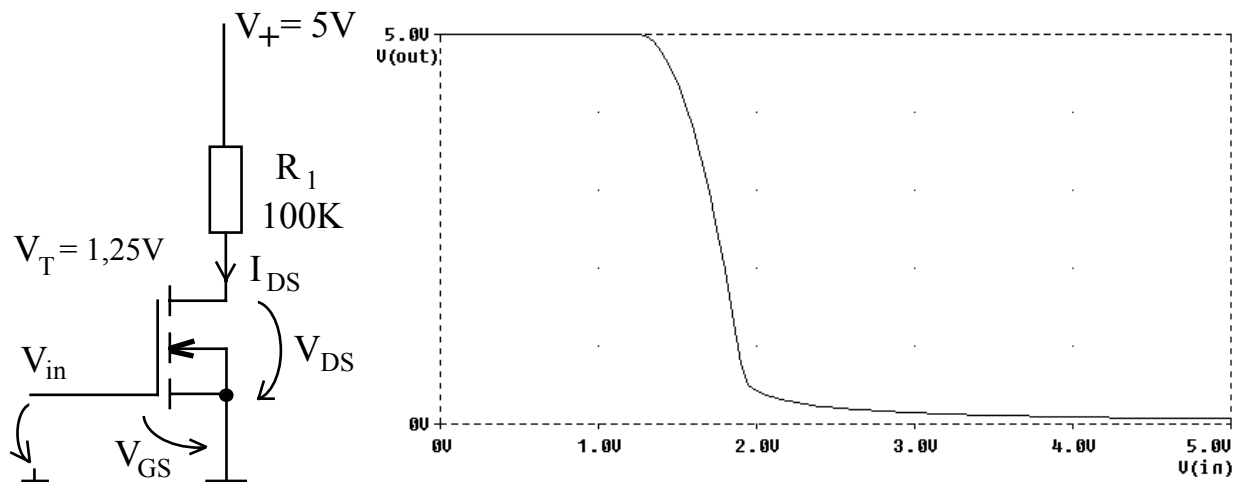


Fig. 3.15 Caracteristica de transfer a inversorului cu n -MOS

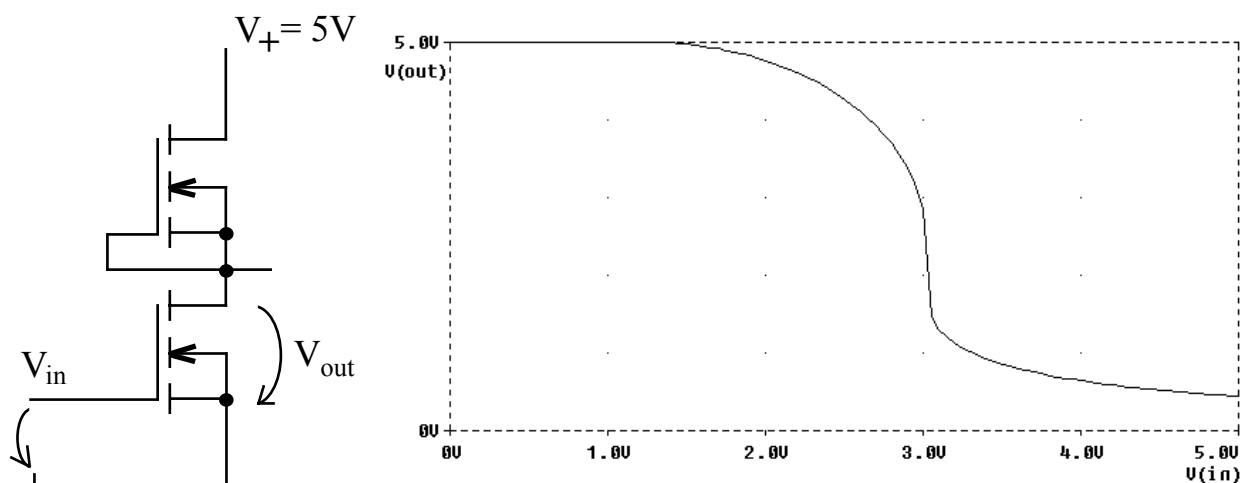


Fig. 3.16 Caracteristica de transfer a inversorului NMOS

- avantajele structurilor NMOS față de structurile PMOS
- dezavantaje ale structurilor NMOS

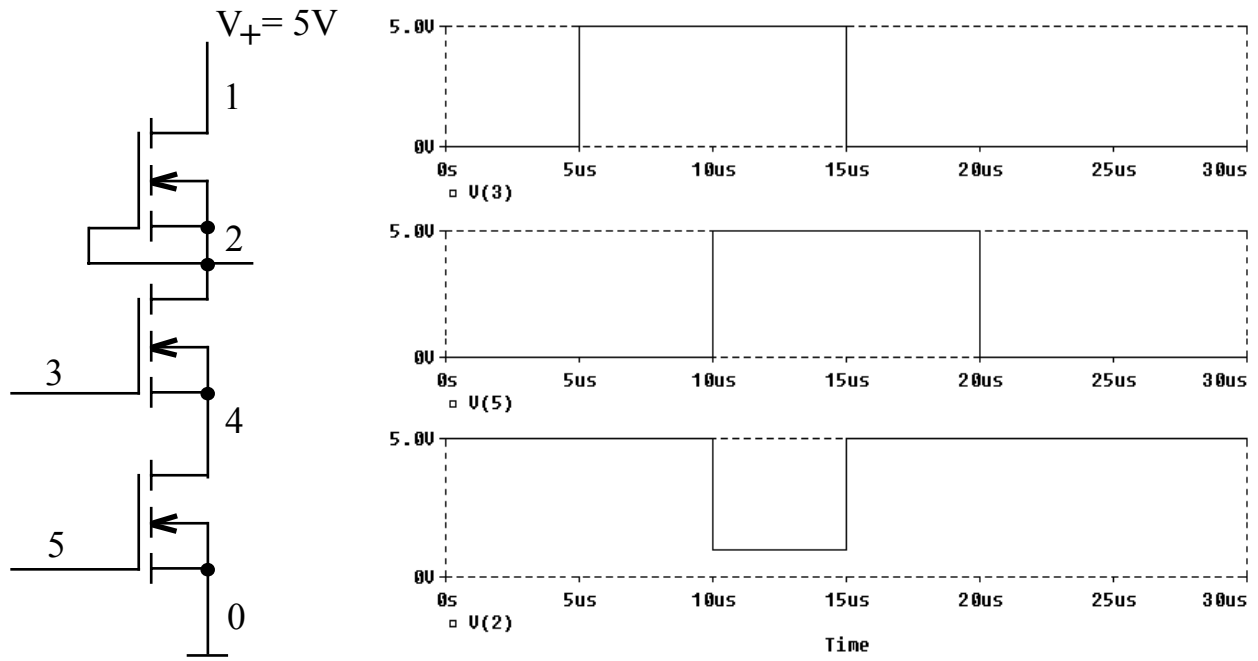


Fig. 3.17 Structura NMOS a porții ȘI-NU cu 2 intrări

• **familia logică CMOS (Complementary-symmetry MOS):**

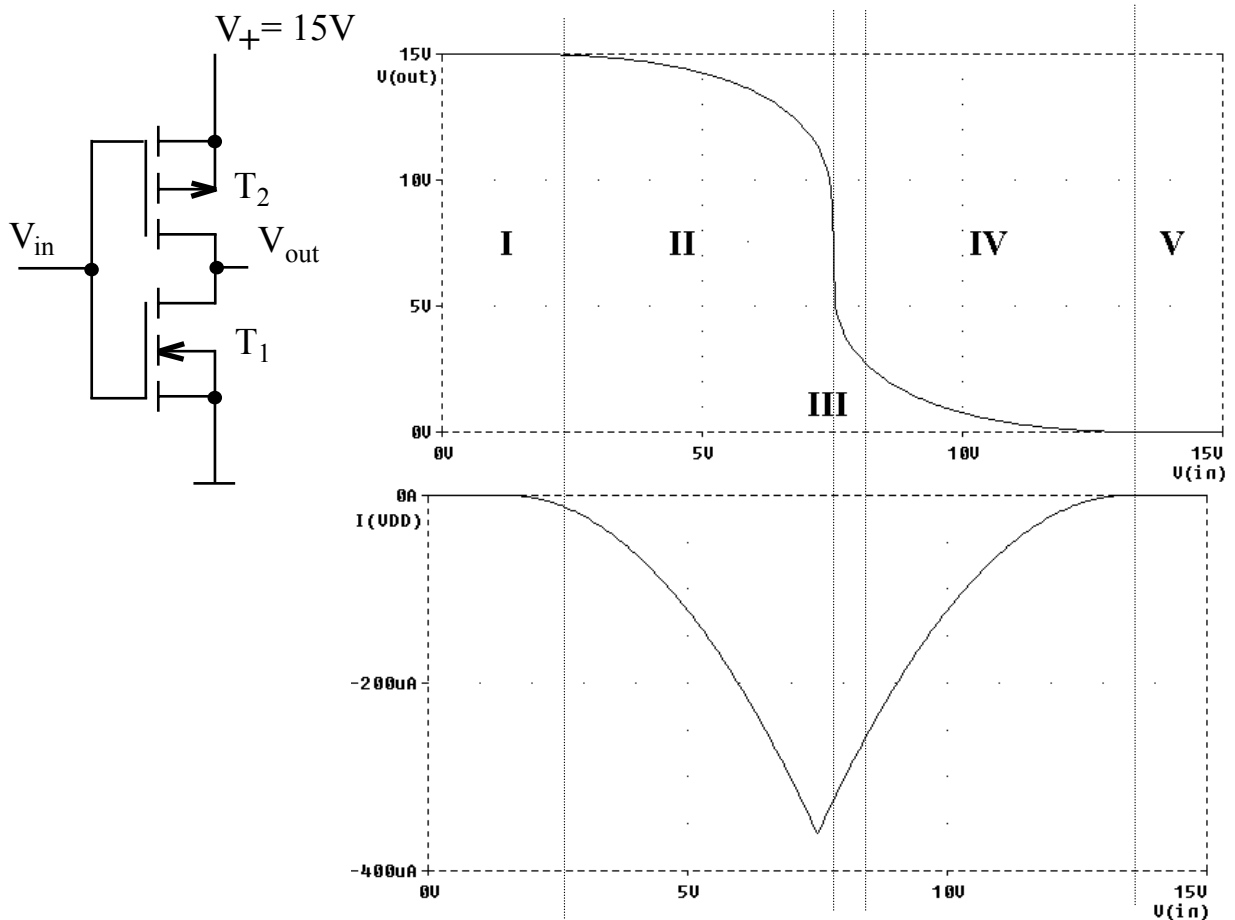


Fig. 3.18 Caracteristica de transfer a inverterului CMOS

tehnologia actuală și de perspectivă (caracteristici ideale):

- excursia semnalului logic la ieșire este cuprinsă între 0V și nivelul tensiunii de alimentare
- curentul consumat de la sursă în regim static este practic nul
- pragul de basculare a stării logice este situat la jumătatea excursiei semnalului logic de intrare și la jumătatea tensiunii de alimentare
- datorită simetriei, fronturile semnalului de ieșire sunt egale

zona I: $V_{in} \leq V_{TN}$, T_1 blocat, T_2 în conducție liniară, iar $V_{out} = V_+$

zona II: $V_{TN} < V_{in} \leq V_{out} - |V_{TP}|$, T_1 saturat, T_2 în conducție liniară

La granița dintre zonele II și III tranzistorul T_2 trece din conducție liniară în saturație și $|V_{DS}| = |V_{GS}| - |V_{TP}|$.

Dar $V_{out} = V_+ - |V_{DS}|$ și $V_+ = V_{in} + |V_{GS}|$. Prin substituție rezultă:

$$V_{in} = V_{out} - |V_{GS}| + |V_{DS}| = V_{out} - |V_{GS}| + |V_{GS}| - |V_{TP}| = V_{out} - |V_{TP}|$$

zona III: $V_{out} - |V_{TP}| < V_{in} \leq V_{out} + V_{TN}$, T_1 saturat, T_2 saturat

La granița dintre zonele III și IV tranzistorul T_1 trece din saturație în conducție liniară și $V_{DS} = V_{GS} - V_{TN}$.

Dar $V_{out} = V_{DS}$ și $V_{in} = V_{GS}$, deci $V_{in} = V_{DS} + V_{TN} = V_{out} + V_{TN}$.

zona IV: $V_{out} + V_{TN} < V_{in} \leq V_+ - |V_{TP}|$, T_1 în conducție liniară, T_2 saturat. Granița cu zona V este dată de $V_{in} = V_+ - |V_{TP}|$.

zona V: $V_{in} > V_+ - |V_{TP}|$, T_1 în conducție liniară, T_2 blocat, $V_{out} = 0$

Nivele logice de ieșire și intrare garantate prin standard sunt definite la fel ca la familia logică TTL:

- V_{IL} , unde $V_{IL} \leq V_{ILMAX} = 30\% \cdot V_+$
- V_{IH} , unde $V_{IH} \geq V_{IHMIN} = 70\% \cdot V_+$
- V_{OL} , unde $V_{OL} \leq V_{OLMAX} = 0,05 \text{ V}$
- V_{OH} , unde $V_{OH} \geq V_{OHMIN} = V_+ - 0,05 \text{ V}$

Margine de zgomot

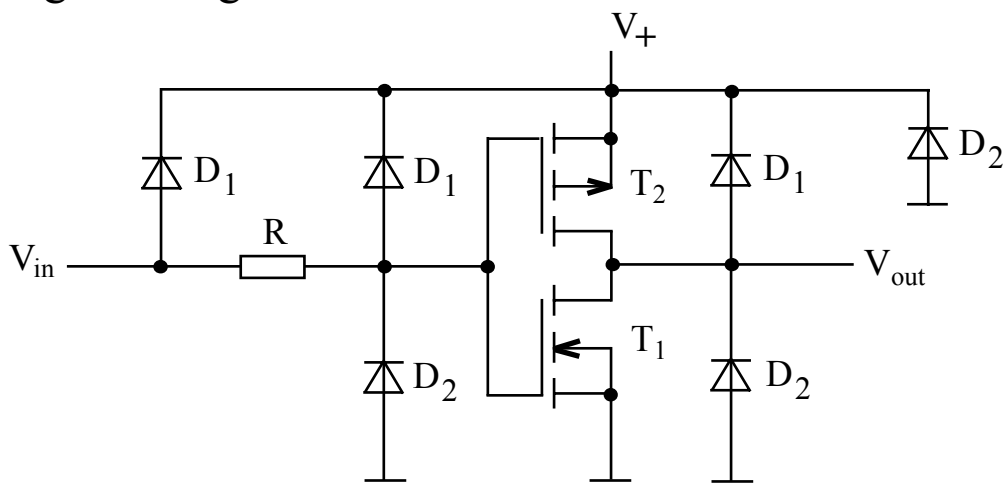


Fig. 3.19 *Circuitul de protecție a intrării la seria CMOS 4000*

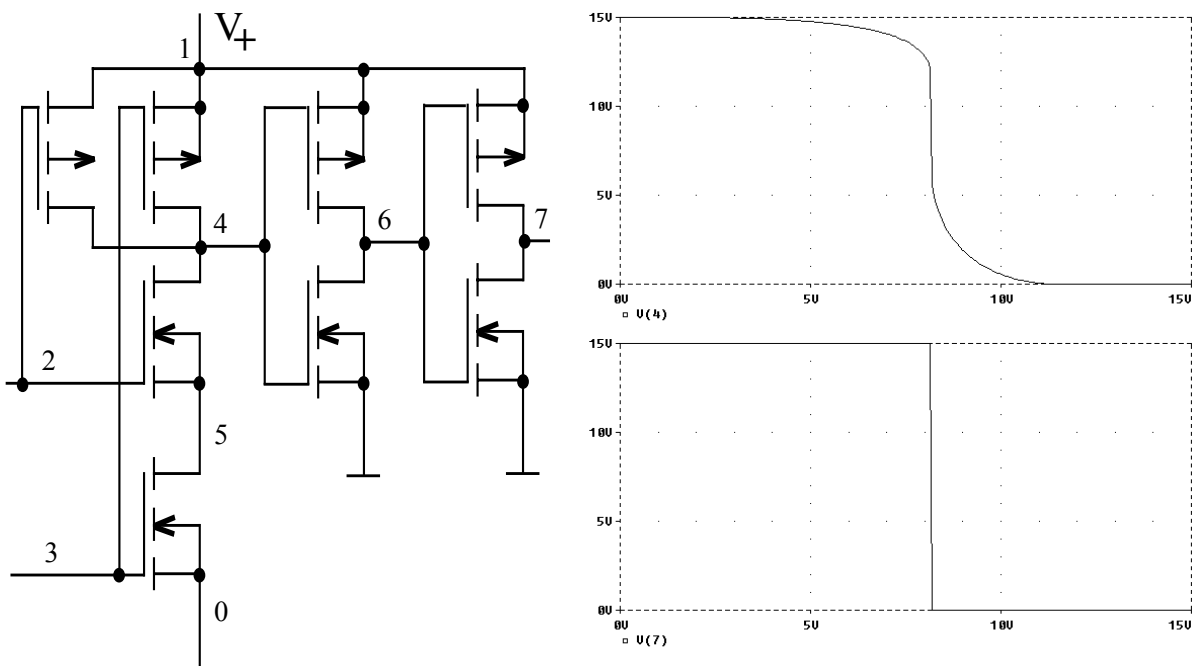


Fig. 3.20 *Structura CMOS a porții ȘI-NU cu 2 intrări*

Comportamentul ieșirii este preponderent rezistiv ($< 1\text{K}\Omega$ în conducție și $> 10\text{M}\Omega$ în blocare), de unde rezultă:

- protecție pentru scurtcircuit la ieșire
- sensibilitate crescută la sarcini capacitive de ieșire

Fan-out limitat numai de sarcina capacitivă (5 pF/intrare)

Efectele buffer-ului de ieșire

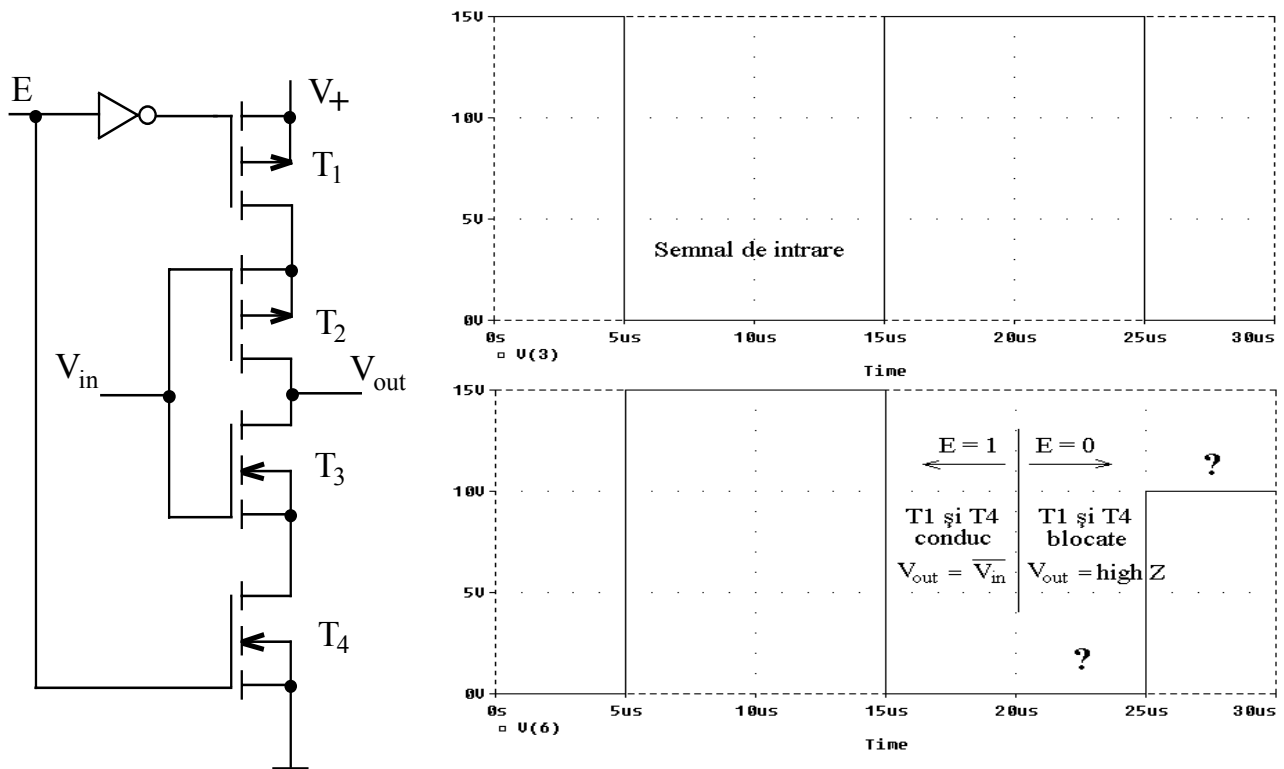


Fig. 3.21 Structura CMOS a inversorului cu 3 stări

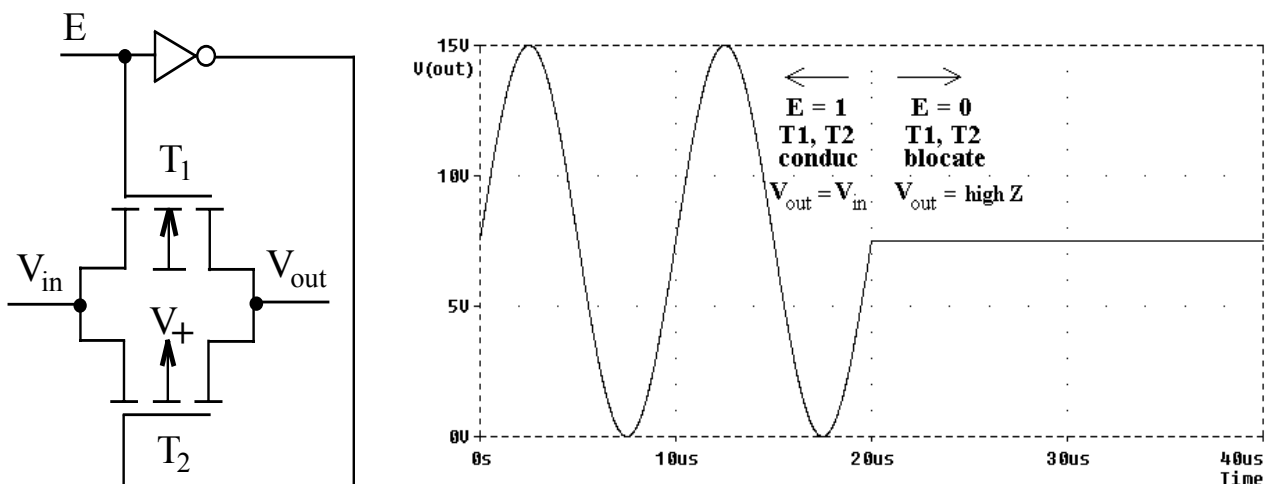


Fig. 3.22 Structura porții de transmisie CMOS

3.3. Structuri BICMOS

- realizează o îmbinare între avantajele tehnologiei bipolare (viteză mare, curent mare de ieșire, protecție ESD) și avantajele tehnologiei CMOS (consum redus, densitate mare de integrare)
- avantajele ieșirii cu tranzistor bipolar:
 - excursia tensiunii la ieșire este mai mică decât la structurile CMOS, deci puterea consumată pentru încărcarea/descărcarea capacității de sarcină este redusă
 - tranzistoarele bipolare intră în blocare mai rapid decât tranzistoarele MOS, deci se micșorează consumul de curent de la sursa de alimentare
- la frecvențe mari de lucru consumul global al structurii BICMOS este mai mic decât cel oferit de structurile bipolare sau CMOS prezentate mai sus

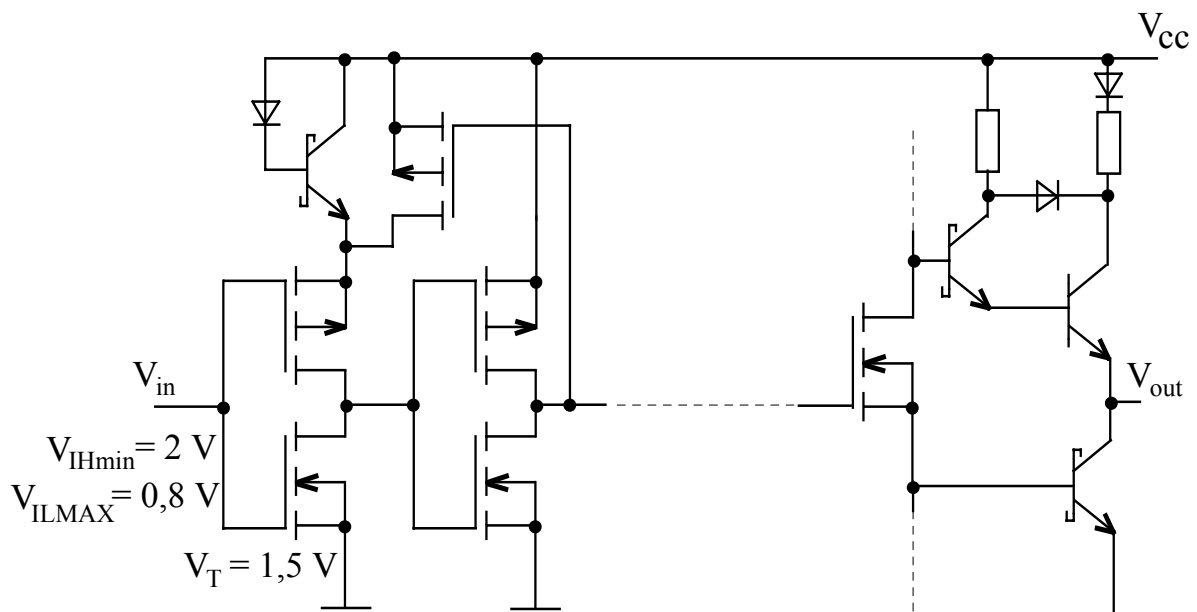


Fig. 3.23 Structura parțială a unui inversor BICMOS