

Capitolul 5

Circuite bistabile

- sunt structuri secvențiale (cu memorie)
- ieșirile lor depind nu numai de intrări, ci și de valorile anterioare ale ieșirilor, deci există reacții de la ieșiri la intrări.

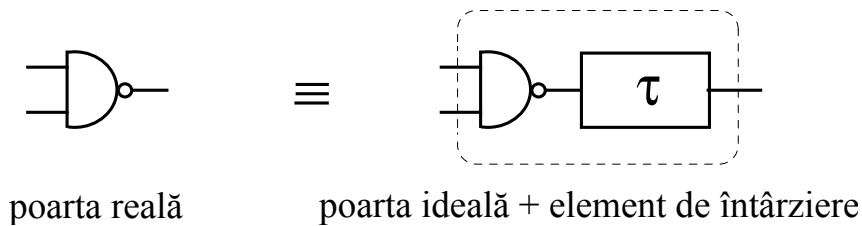


Fig. 5.1 Modelul logic asincron

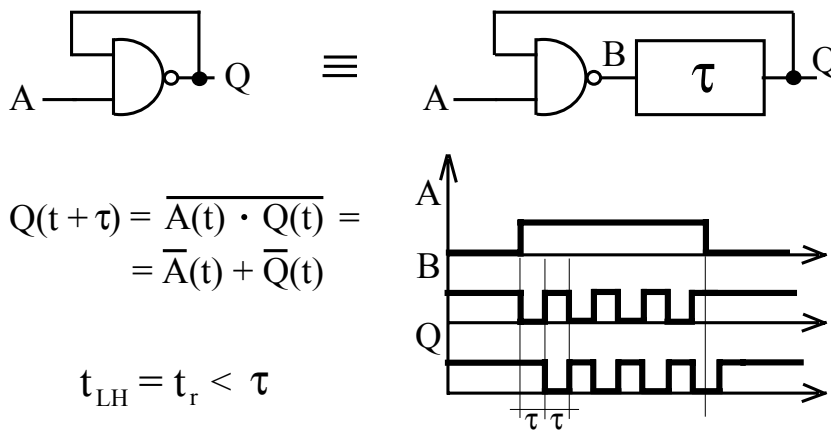


Fig. 5.2 Cea mai simplă structură secvențială

- **starea sistemului:** ansamblul valorilor logice ale ieșirilor
- **diagrama stărilor:** graf care conține câte un nod pentru fiecare stare și un set de arce orientate care sugerează tranzițiile între diferite stări
- **tabelul tranzițiilor:** evidențiază tranzițiile dintre stări

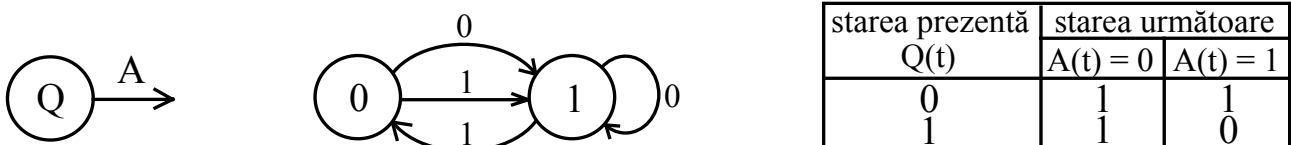


Fig. 5.3 Diagrama stărilor și tabelul tranzițiilor

5.1. Elementul de memorie $\bar{S}\bar{R}$

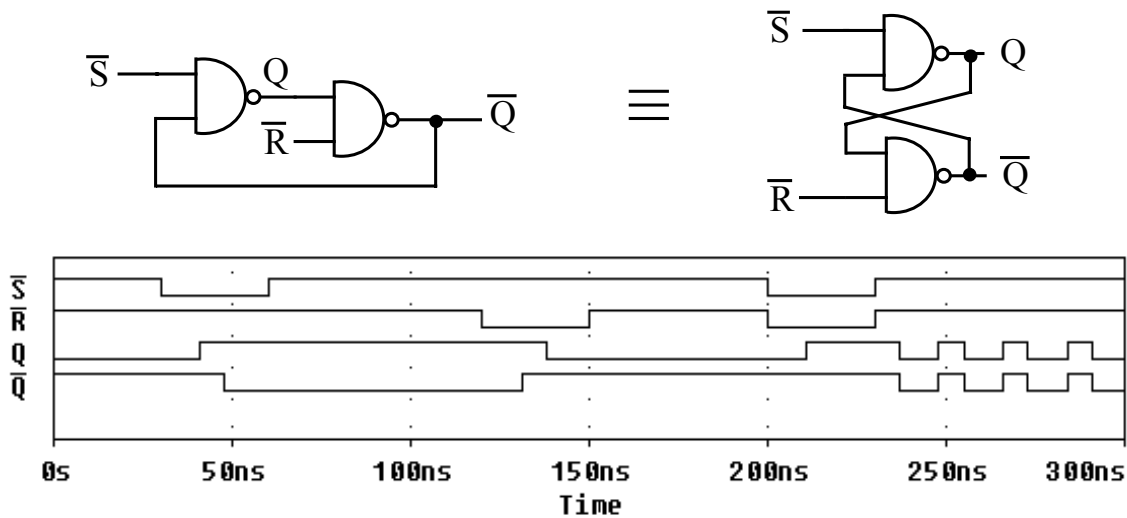


Fig. 5.4 Schema logică și formele de undă

- tranziția lui \bar{S} în 0 logic determină tranziția lui Q în 1 după t_{pLH} și a lui \bar{Q} în 0 după încă t_{pHL} . Revenirea lui \bar{S} în 1 după un timp mai mare de $t_{pLH} + t_{pHL}$ nu modifică ieșirile circuitului.
- circuitul memorează prin starea lui evenimentul marcat de tranziția temporară a unei intrări în 0 logic (LATCH).
- conform simulării SPICE, tranziția simultană a intrărilor în 1 are ca efect oscilația ieșirilor între stările $Q\bar{Q} = 00$ și 11 . Modelul SPICE al porții TTL ia în considerare $t_{pLH} \neq t_{pHL}$, precum și $t_{LH} = t_{HL}$, iar ultima relație nu este chiar adevărată.
- asimetriile circuitului real, care nu pot fi controlate de proiectant, vor obliga ieșirile să capete fie valorile $Q\bar{Q} = 01$, fie $Q\bar{Q} = 10$.

\bar{S}	\bar{R}	Q	\bar{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q	\bar{Q}

interzis

Dacă $t_{pHL} \approx t_{pLH} = \tau$:

$$\bar{Q}(t+2\tau) = R(t+\tau) + \overline{S(t) + Q(t)}$$

$$\bar{S}(t) + \bar{R}(t) = 1$$

Fig. 5.5 Tabelul și ecuațiile care descriu funcționarea latch-ului

5.2. Latch-ul SR cu ceas

- semnalul de ceas (CLOCK) este un semnal extern care controlează accesul informației pe intrările latch-ului

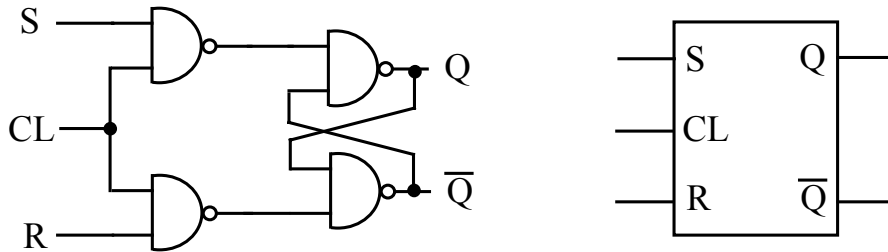


Fig. 5.6 Schema logică și simbolul logic pentru latch-ul SR cu ceas

CL	S	R	Q	\bar{Q}	
1	0	0	Q	\bar{Q}	
1	0	1	1	0	
1	1	0	0	1	
1	1	1	1	1	interzis
0	x	x	Q	\bar{Q}	

$$Q(t+\Delta) = S(t) \cdot C(t) + [\bar{R}(t) + \bar{C}(t)] \cdot Q(t)$$

$$S(t) \cdot R(t) = 0$$

Fig. 5.7 Tabelul și ecuațiile care descriu funcționarea latch-ului

- în vecinătatea tranzițiilor ceasului există un interval de timp critic în care intrările S și R trebuie să fie stabile
- dacă $t_{pHL} \approx t_{pLH} = \tau$, atunci durata palierului de 1 logic pentru semnalul de ceas trebuie să depășească 3τ

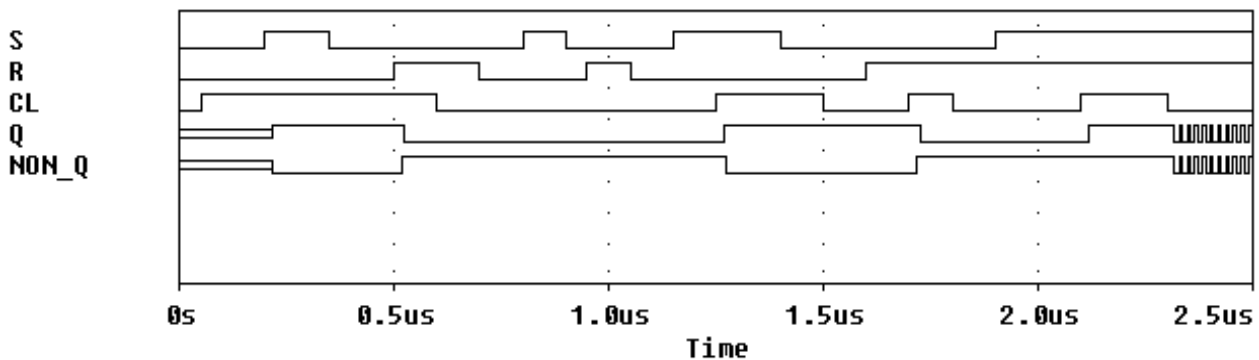
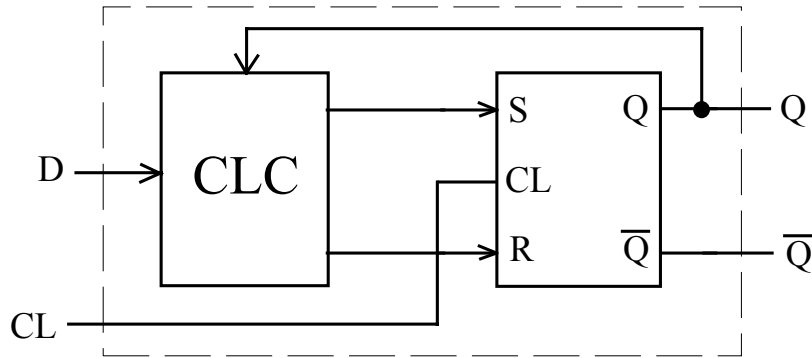


Fig. 5.8 Forme de undă în funcționarea latch-ului SR cu ceas

5.3. Latch-ul de tip D (date)

- conceput pentru memorarea temporară a datelor
- ecuația de stare a circuitului este $Q(t + \Delta) = D(t)$



D(t)	Q(t)	Q(t+Δ)	S(t)	R(t)
0	0	0	0	x
0	1	0	0	1
1	0	1	1	0
1	1	1	x	0

	\bar{D}	D
\bar{Q}	0	1
Q	0	x

$S(t) = D(t)$

	\bar{D}	D
\bar{Q}	x	0
Q	1	0

$R(t) = \bar{D}(t)$

Fig. 5.9 Sinteza latch-ului de tip D folosind latch-ul SR cu ceas

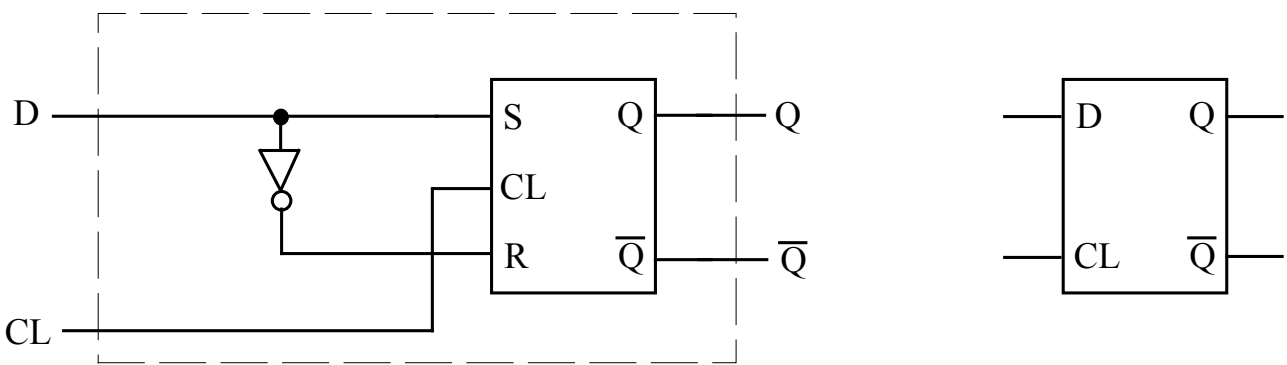


Fig. 5.10 Structura latch-ului de tip D

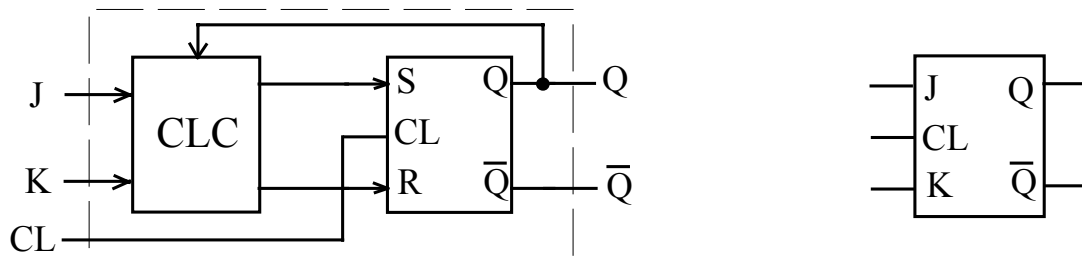
- dacă $t_{pHL} \approx t_{pLH} = \tau$, atunci durata palierului de 1 logic pentru semnalul de ceas trebuie să depășească 4τ
- dacă pe durata palierului activ intrarea D nu comută, atunci tranziția latch-ului este controlată de ceas

5.4. Alte structuri bistabile de tip latch

- **bistabilul de tip JK**: are o evoluție conform tabelului din figură

J(t)	K(t)	Q(t+Δ)	$\bar{Q}(t+Δ)$
0	0	Q(t)	$\bar{Q}(t)$
0	1	0	1
1	0	1	0
1	1	$\bar{Q}(t)$	Q(t)

Fig. 5.11 Tabelul tranzițiilor pentru bistabilul de tip JK



J(t)	K(t)	Q(t)	Q(t+Δ)	S(t)	R(t)
0	0	0	0	0	x
0	0	1	1	x	0
0	1	0	0	0	x
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	x	0
1	1	0	1	1	0
1	1	1	0	0	1

	\bar{J}	J
\bar{Q}	0	1
Q	x	0
	\bar{K}	K

$$S(t) = J(t) \cdot \bar{Q}(t)$$

	\bar{J}	J
\bar{Q}	x	0
Q	0	1
	\bar{K}	K

$$R(t) = K(t) \cdot Q(t)$$

Fig. 5.12 Sinteza bistabilului de tip JK folosind latch-ul SR cu ceas

- ecuația de stare a bistabilului JK este $Q(t + \Delta) = J(t) \cdot \bar{Q}(t) + Q(t) \cdot \bar{K}(t)$
- dacă $t_{pHL} \approx t_{pLH} = \tau$, atunci durata palierului de 1 logic pentru semnalul de ceas trebuie să fie riguros egală cu 4τ , deci structura nu este fizic realizabilă
- **bistabilul de tip T (toggle)**: este un caz particular de bistabil de tip JK: intrările J și K sunt conectate împreună și formează o nouă intrare care se numește T
- aceeași problemă de realizabilitate fizică

5.5. Principiul master-slave

- se izolează ieșirile de intrări pentru evitarea comutărilor multiple datorită reacțiilor existente în structurile de tip latch

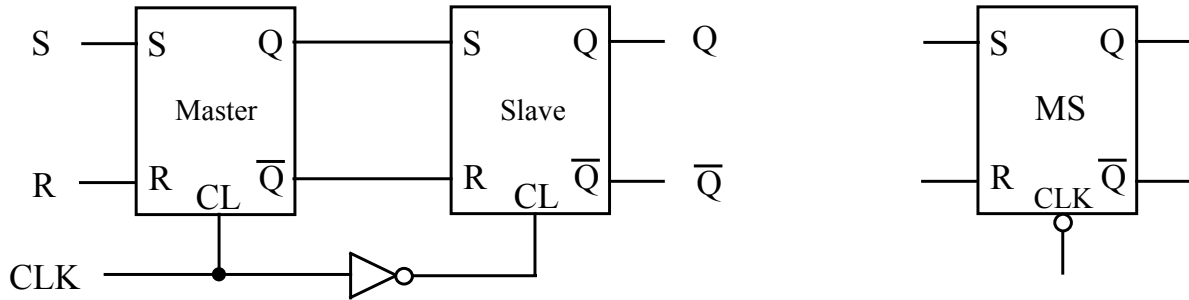


Fig. 5.13 Structura și simbolul logic pentru bistabilul SR master-slave

- dacă $CLK = 1$ informația prezentă pe intrări este introdusă în secțiunea **master**, iar secțiunea **slave** este izolată de secțiunea **master** și memorează valorile anterioare ale ieșirilor
- tranziția în 0 logic a semnalului CLK blochează intrarea în **master** și permite accesul informației de la ieșirile secțiunii **master** în secțiunea **slave**
- intrările în **master** nu mai sunt văzute de **slave**, care își fixează ieșirile funcție de ieșirile secțiunii **master**, într-un moment strict și exclusiv determinat de semnalul CLK (frontul negativ)

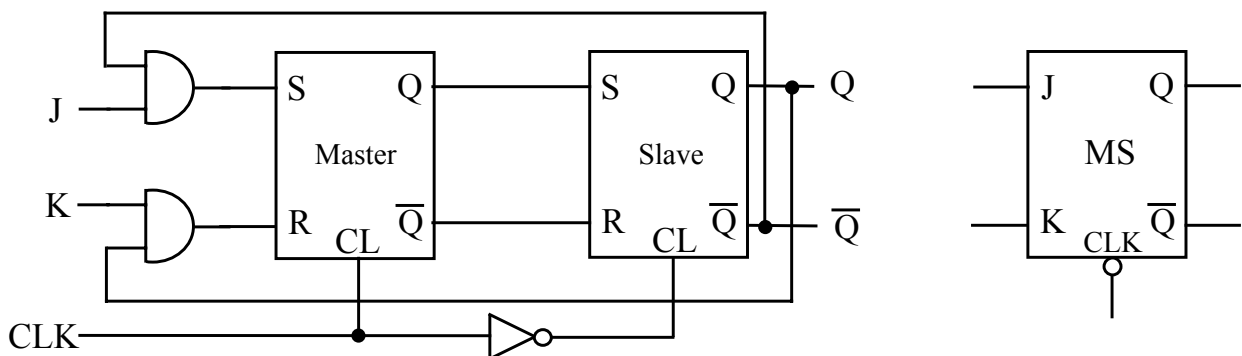


Fig. 5.14 Structura și simbolul logic pentru bistabilul JK master-slave

- se impune ca intrările în **master** să nu se modifice pe durata în care semnalul CLK este în 1 logic

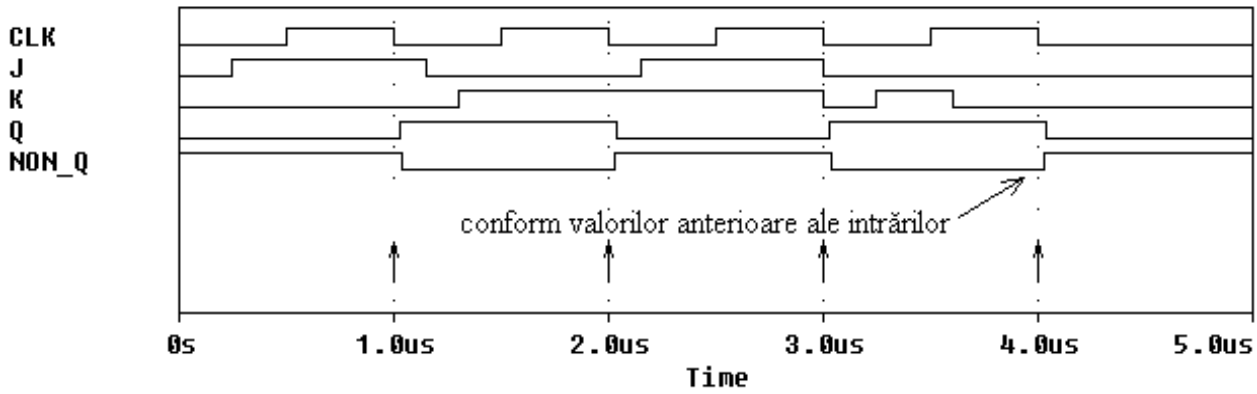


Fig. 5.15 *Forme de undă în funcționarea bistabilului JK master-slave*

5.6. Principiul declanșării pe front

- elimină restricția de intrare impusă la bistabilele master-slave

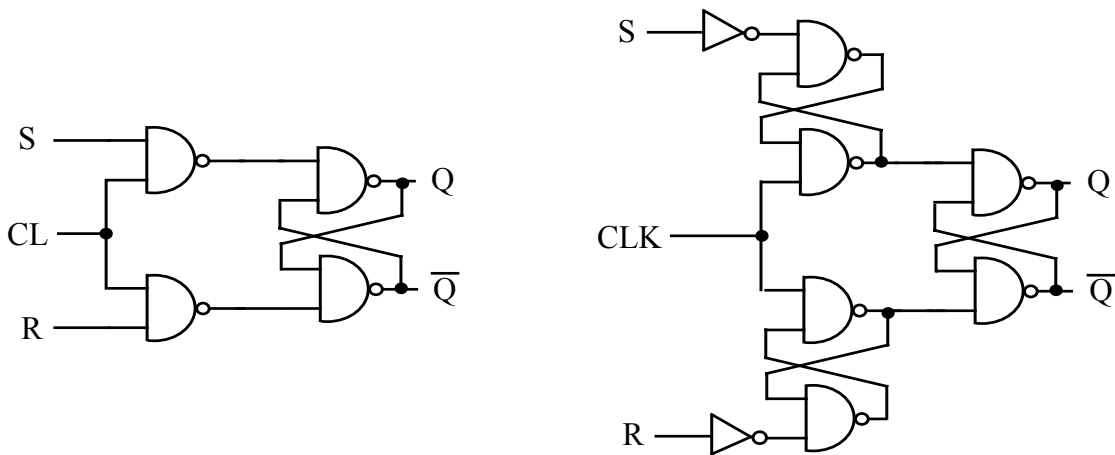


Fig. 5.16 *Memorarea intrărilor în latch-ul SR cu ceas*

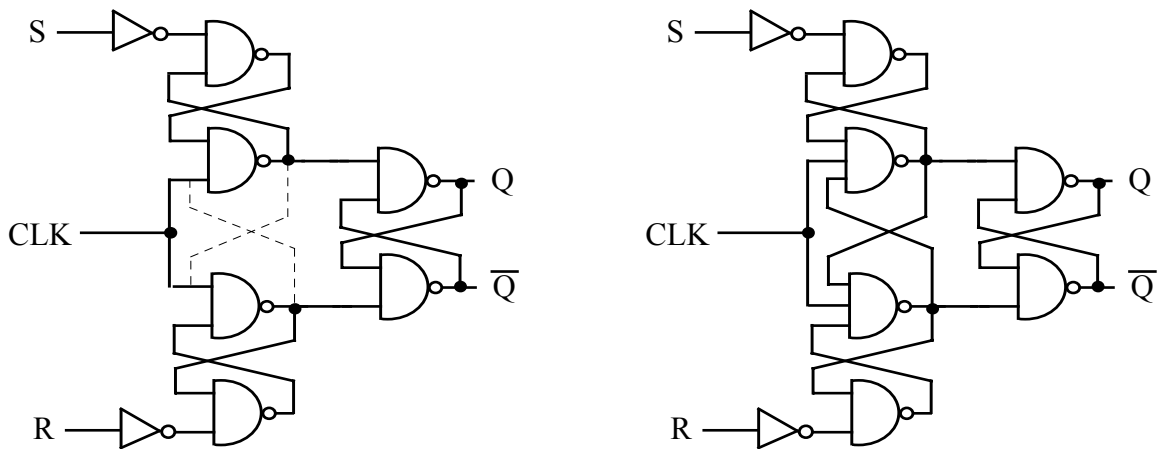


Fig. 5.17 *Evitarea combinației 00 pe intrările latch-ului $\bar{S}\bar{R}$ de ieșire*

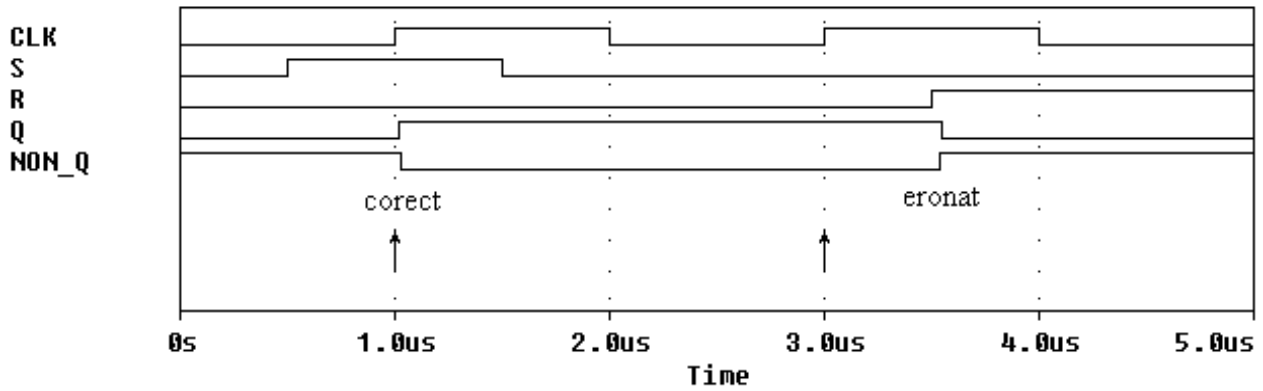


Fig. 5.18 O deficiență a structurii din figura 5.17

- eliminarea deficienței semnalate se face prin introducerea unor reacții suplimentare: S se înlocuiește prin $S + \overline{R} \cdot Q$, iar R se înlocuiește prin $R + \overline{S} \cdot \overline{Q}$

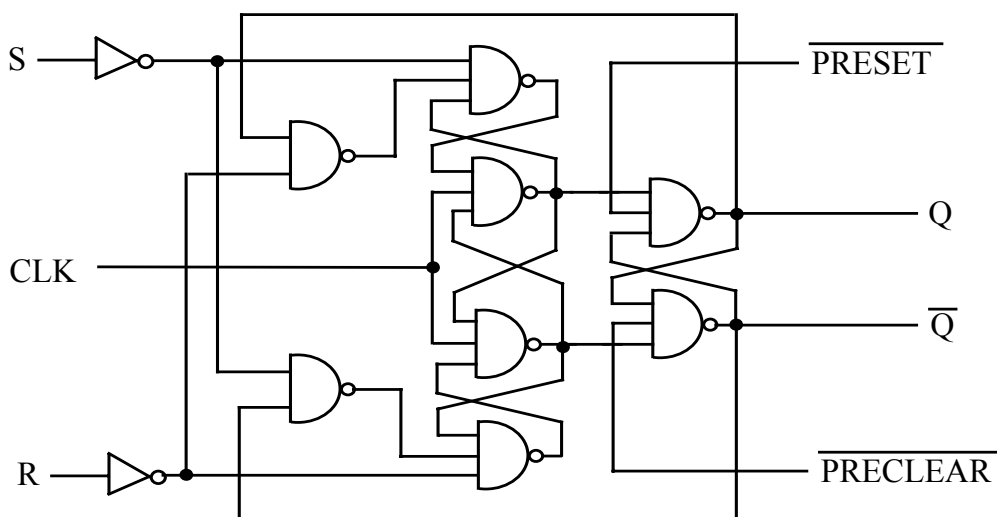


Fig. 5.19 Structura bistabilului SR cu declanșare pe front

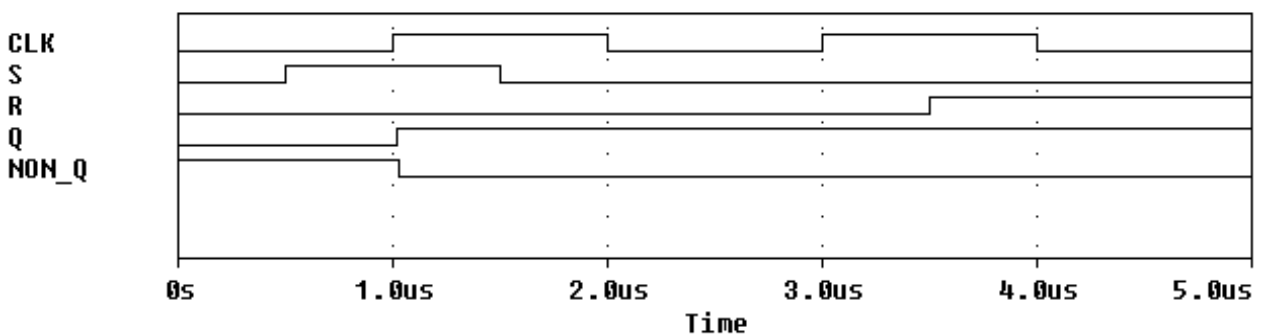


Fig. 5.20 Funcționarea bistabilului SR cu declanșare pe front

5.7. Metastabilitate

- starea metastabilă este un nivel logic intermediar, cuprins între 0 și 1 logic, care poate apare la ieșirile unui bistabil atunci când nu se respectă durata minimă a timpilor de setup și de hold

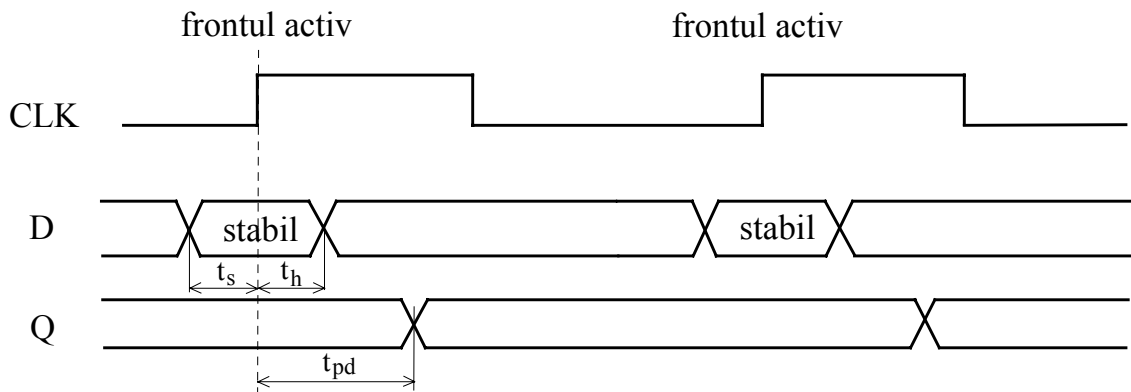


Fig. 5.21 *Definirea timpilor de setup și de hold la bistabilul de tip D*

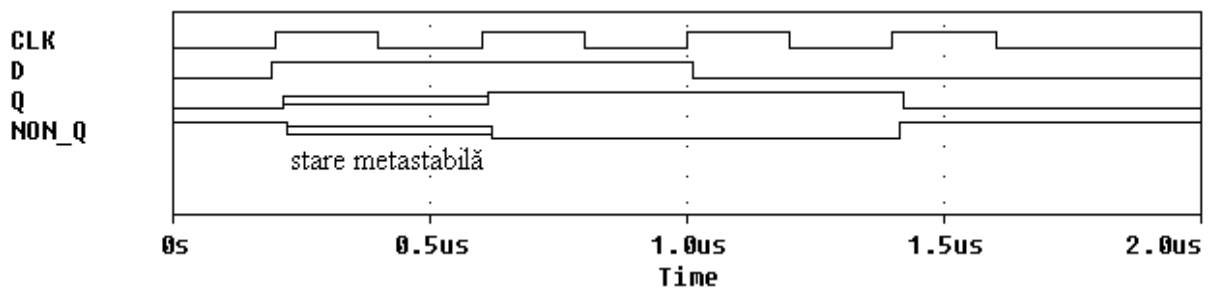


Fig. 5.22 *Forme de undă cu timpii de setup și de hold de 10 ns*

- durata stării metastabile este teoretic infinită, dar practic probabilitatea de menținere a ei scade exponențial cu timpul

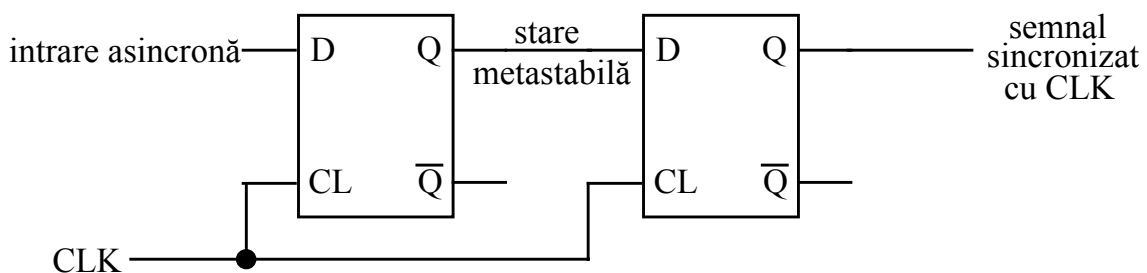


Fig. 5.23 *O soluție de eliminare a stării metastabile*